

## Memorial Descritivo: Sensor de Imagens CMOS Neuromórfico

Para atender aos requisitos listados no item 10.3.4.3 da Parte II do “Manual de Processamentos Operacionais” disponível no endereço [https://www.gov.br/siscomex/pt-br/informacoes/importacao/Manual de Procedimentos Operacionais 4Edicao.pdf](https://www.gov.br/siscomex/pt-br/informacoes/importacao/Manual_de_Procedimentos_Operacionais_4Edicao.pdf)

**Aplicação dos chips:** geração de vídeos assíncronos em formato AER (“address-event representation”). A descrição completa e detalhada está no texto.

**Professor José Gabriel Rodríguez Carneiro Gomes, SIAPE 2491716**

**UFRJ / COPPE – Programa de Engenharia Elétrica**

**01 de junho de 2026**

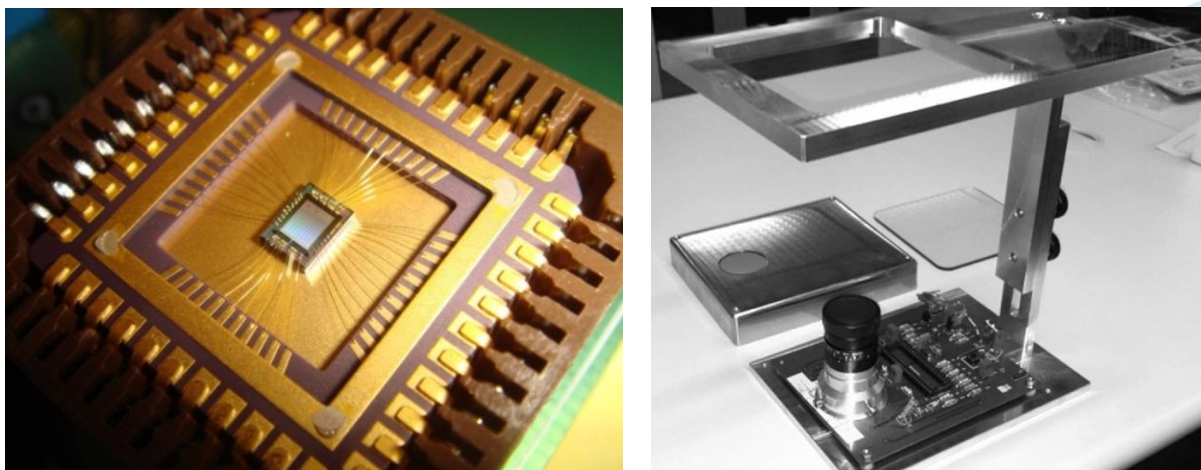
**Assinatura:**

Centro de Tecnologia - Bloco H - sala 321  
Av. Athos da Silveira Ramos, 149 - Cidade Universitária  
Caixa Postal 68504 - CEP 21941-972 - Rio de Janeiro - RJ - Brasil  
Telefones (+55 21) 3938-8627 | (+55 21) 3938-8626

## 1. Visão Geral da Área de Pesquisa e Descrição do Nosso Chip

Os circuitos integrados a serem trazidos para o Brasil são protótipos de um sensor de imagem CMOS (“complementary metal-oxide semiconductor”) neuromórfico. Nos sensores de imagem CMOS convencionais, todos os pixels são lidos e digitalizados por um sistema de do tipo “raster scan”, que acessa os pixels, um por um, em uma ordem análoga à leitura de uma página de um livro. Nos sensores de imagem CMOS neuromórficos, os pixels não são lidos, nem digitalizados, da maneira convencional. Cada pixel permanece inativo e sem comunicação com o mundo exterior, a menos que a sua luminosidade local (intensidade da luz recebida pelo pixel) varie de forma significativa: por exemplo, com uma inclinação temporal referente a mais do que 10% do valor atual, para mais ou para menos. Neste caso, o pixel em questão solicita comunicação com o ambiente externo, por meio de um sinal de “request” e permanece bloqueado, até que seu endereço de linha e coluna seja lido, por um sistema externo, e um sinal de “acknowledgement” seja recebido por ele, em retorno. Esse é o funcionamento do sensor de visão dinâmica [1], [2], conhecido pela sigla DVS, de “dynamic vision sensor”. Há também os sensores de imagem em tempo assíncrono, conhecidos pela sigla ATIS, de “asynchronous-time image sensor” [3]. Nestes sensores, o “request” feito por um módulo DVS provoca o funcionamento de um sistema secundário, que mede o valor absoluto da luminosidade local, por meio de uma rampa de tensão elétrica decrescente, cuja inclinação é proporcional à luminosidade. Durante a descida, esta rampa cruza dois limiares de tensão elétrica, chamados de “Vhigh” (limiar superior) e “Vlow” (limiar inferior). Em cada instante de tempo de cruzamento, superior e inferior, o sistema secundário faz “requests” para comunicação com o mundo externo, e nesses instantes tem o seu endereço lido pelo processador externo, e tem sua comunicação desbloqueada pelo recebimento de um “acknowledgement”. Em nosso trabalho, chamamos esse sistema secundário de “módulo de captura”, e nos referimos a ele pela sigla MC. Nos sensores ATIS, além do arquivo digital DVS básico no formato (tn,xn,yn,pn) (“timestamp”, coordenadas x e y do pixel em questão, e polaridade ON para subida, ou OFF para descida), os respectivos MCs incluem pontos (tn,xn,yn,pn) adicionais, também com “timestamp”, coordenadas x e y do pixel em questão, e polaridade HIGH para cruzamento de limiar superior, ou LOW para cruzamento de limiar inferior. O índice n varia de 1 até N, sendo que N corresponde ao último evento do intervalo de gravação de vídeo. Este intervalo pode ser de segundos, minutos, ou até mesmo horas.

No nosso grupo de pesquisa (PADS - Laboratório de Processamento Analógico e Digital de Sinais da COPPE/UFRJ), desenvolvemos um sensor de imagem CMOS neuromórfico inovador [4], [5]. A inovação está no compartilhamento de um módulo DVS por quatro ( $2 \times 2$ ) MCs, o que leva a uma redução da área de silício em torno de 34% em tecnologia de fabricação de 180 nm [6]. As instruções de “layout” do nosso de imagem CMOS foram enviadas para fabricação na UMC (United Microelectronics Corporation), em Taiwan [7], em setembro de 2025, segundo o modelo de fabricação mini@sic disponibilizado pelo imec (Interuniversity Microelectronics Center) [8], usando tecnologia de 180 nm [9]. O serviço imec – Europractice – mini@sic proporciona, para universidades fora da Europa, o acesso a fábricas de ponta, como é o caso da UMC, com o custo de entrada mais baixo possível, limitando a área disponível a  $1525 \mu\text{m} \times 1525 \mu\text{m}$ . Os retângulos bem pequenos, com poucos milímetros quadrados, recortados de um “wafer” de silício que inclui muitos outros projetos, de muitos outros clientes. No final de fevereiro de 2026, os nossos “dies”, fabricados, foram recebidos pelo imec. Dez desses “dies” foram encapsulados, pelo imec, em um invólucro com formato PLCC 68 (ver lado direito da Figura 3), com 68 pinos, e assim ficam compostos os “chips” propriamente ditos. Para dar uma ideia do que é um “die” encapsulado em um chip, a Figura 1 mostra a foto de um projeto anterior, nosso, usando encapsulamento PLCC 44, já encaixado no soquete, à esquerda, em uma placa usada para experimentos [10], à direita.



**Figura 1.** No formato PLCC 44, o chip de um projeto anterior (à esquerda) tem cerca de 16 mm x 16 mm. No projeto atual, com formato PLCC 68, as dimensões estão próximas de 25 mm x 25 mm. O soquete (em marrom) faz parte do sistema de testes experimentais do PADS (à direita). Na figura à direita, a montagem de uma lente se encaixa e encobre o soquete.

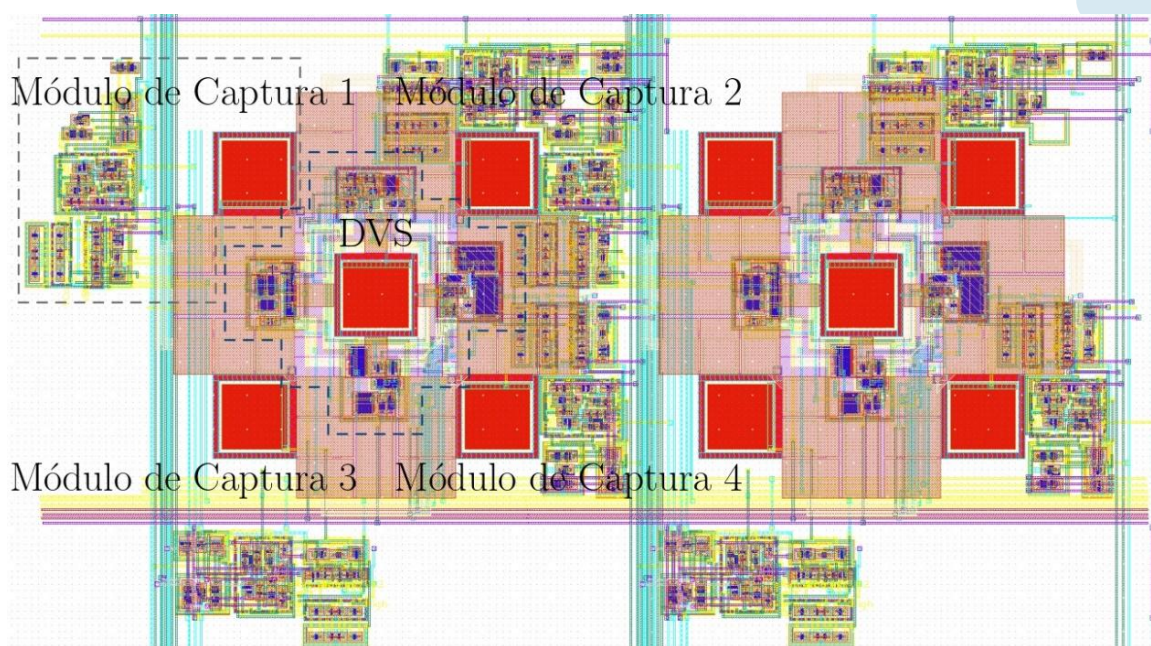
Já há empresas que disponibilizam, comercialmente, câmeras de vídeo neuromórficas, também conhecidas como “AER cameras” (“address-event representation cameras”). O núcleo deste mercado está no entorno das empresas Prophesee [11] e Inivation [12]. Também há empresas grandes, como por exemplo Samsung [13], que estão desenvolvendo pesquisas visando a utilização de sensores AER no futuro. E, por fim, há ainda esforços atuais no sentido de estabelecer um padrão para a codificação de arquivos gerados por câmeras AER [14]. Em termos de mercado e projetos brasileiros, não há nada equivalente ao projeto que desenvolvemos no PADS. Além disso, o nosso projeto não é destinado a fins comerciais. O nosso objetivo é caracterizar experimentalmente os protótipos fabricados, buscando avaliar se existe perda significativa de qualidade, e como ela se manifesta em função da economia de área de silício.

A existência de produtos deste tipo em fabricação e comercialização na Europa é uma indicação muito forte a respeito da oportunidade e da necessidade de posicionamento do Brasil, com inserção estratégica neste mercado internacional de microeletrônica de ponta

Um ponto muito importante, adicional, é que os sinais AER [14] não servem exclusivamente à reconstrução de vídeo. Muitos grupos de pesquisa (ver, por exemplo, [15]), entre os quais o nosso [16] e [17], têm interesse no processamento dos sinais AER diretamente em modo pulsado, sem decodificação alguma, feito por meio de redes neurais operando também em modo pulsado. Além do benefício de redução de consumo de potência, o processamento de imagens/vídeo em modo pulsado tem o apelo da maior proximidade com sistemas de visão biológicos. Este tipo de processamento é uma linha de pesquisa que tem potencial forte para gerar uma quantidade grande de avanços no futuro, análoga à grande revolução em inteligência artificial que vem acontecendo desde a última década. Os sensores de imagem CMOS neuromórficos, objeto do nosso, trabalho, são os sensores mais adequados para o processamento de sinais diretamente em modo pulsado.

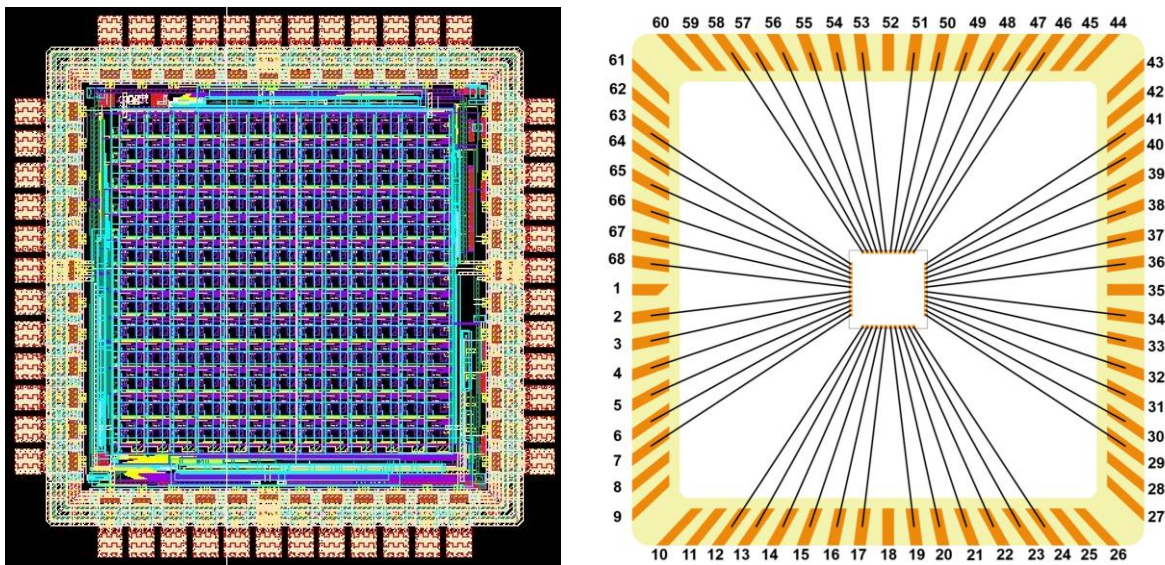
## 2. Detalhes Técnicos Adicionais

O principal material utilizado na fabricação dos chips é o silício. O silício é o substrato no qual os “dies” (conteúdo interior dos chips) são fabricados. Durante a fabricação, com tecnologia CMOS de 180 nm, o silício é “dopado” (combinado) com elementos químicos doadores e receptores de elétrons, dos quais fósforo e boro são exemplos. Além da dopagem, a formação de transistores CMOS também requer a formação de óxidos isolantes, cobertos por silício poli-cristalino. Os transistores são conectados entre si por meio de linhas de metal. E capacitores, quando são necessários, podem ser feitos com placas de metal incluídas no desenho do “layout”. A Figura 2 mostra dois módulos básicos, ou seja, dois blocos de pixels 2 x 2 adjacentes entre si. Cada bloco contém um sensor DVS (com o fotodiodo no centro, em vermelho) e quatro fotodiodos MCs ao redor do centro (com seus fotodiodos dispostos ao redor do fotodiodo central).



**Figura 2.** Layout de blocos contendo 2 x 2 pixels (MC 1 até 4) que compartilham um módulo DVS, que está posicionado no centro dos módulos de captura. A justaposição de blocos com 2 x 2 pixels é feita de forma tal que o bloco tem, efetivamente, 72.1  $\mu\text{m}$  x 72.1  $\mu\text{m}$ .

Cada bloco com 2 x 2 pixels tem área de  $72.1 \mu\text{m} \times 72.1 \mu\text{m}$ . A matriz que desenhamos, e que aparece na parte esquerda da Figura 3, tem área de  $965 \mu\text{m} \times 965 \mu\text{m}$ , correspondendo às resoluções de 13 x 13 (em DVS) e de 26 x 26 em (em ATIS ou MC). A parte direita da Figura 3 mostra o diagrama das interconexões feitas entre os “pads” (pontos metálicos para contato) do “die” e os contatos de ouro do encapsulamento PLCC 68.



**Figura 3.** Layout completo incluindo a matriz de pixels, 26 x 26 MC ou 13 x 13 DVS, e o anel de “pads” que envolve o layout, à esquerda. Entre a matriz de pixels e o anel de “pads” há circuitos periféricos, que resolvem situações de conflitos, entre linhas ou entre colunas, que ocorrem quando dois ou mais pixels fazem “requests” ao mesmo tempo. Também há circuitos para transmitir, para o ambiente externo, os endereços de linha e de coluna dos eventos ocorridos. Detalhes técnicos adicionais podem ser encontrados no artigo [6]. À direita, nosso projeto aparece na parte central do diagrama de conexões, com fios de ouro, até os pinos do chip em encapsulamento do tipo PLCC 68.

Exceto pelos materiais descritos acima, típicos de processos de fabricação CMOS de 180 nm, não há materiais adicionais ou não-convencionais incluídos. Mais detalhes acerca do projeto e do funcionamento dos módulos principais podem ser encontrados em [6].

Uma vez que estejam em nosso laboratório (PADS), os chips serão conectados a soquetes adaptados para placas de circuito impresso e conjuntos ópticos (lentes), para que imagens possam ser projetadas sobre o sensor, e para que resultados possam ser lidos, experimentalmente, em formato AER. A partir deste ponto, começam os experimentos e a documentação de resultados, voltada para a publicação em conferências e periódicos internacionais.

### Referências Bibliográficas

- [1] Shih-Chii Liu, Tobi Delbruck, Giacomo Indiveri, Adrian Whatley, Rodney Douglas, Event-Based Neuromorphic Systems. Wiley Online Library, John Wiley & Sons. First published December 2014. Print ISBN:9780470018491, Online ISBN:9781118927601, DOI:10.1002/9781118927601.
- [2] Minhao Yang, Shih-Chii Liu, Tobi Delbruck. A Dynamic Vision Sensor With 1% Temporal Contrast Sensitivity and In-Pixel Asynchronous Delta Modulator for Event Encoding. IEEE Journal of Solid-State Circuits, vol. 50, no. 9, pp. 2149-2160, setembro de 2015. DOI: 10.1109/JSSC.2015.2425886
- [3] C. Posch, D. Matolin and R. Wohlgenannt, "An asynchronous time-based image sensor," 2008 IEEE International Symposium on Circuits and Systems (ISCAS), Seattle, WA, USA, 2008, pp. 2130-2133, DOI: 10.1109/ISCAS.2008.4541871.
- [4] T. M. F. Lopes, V. R. R. Oliveira, F. D. V. R. Oliveira, J. G. R. C. Gomes. "Event-based CMOS image sensor with shared DVS module for pixel area reduction," in 2020 33<sup>rd</sup> Symposium on Integrated Circuits and Systems Design (SBCCI), Campinas, Brasil, 2020, pp. 1-6. DOI: 10.1109/SBCCI50935.2020.9189911.
- [5] V. R. R. Oliveira, T. M. F. Lopes, F. D. V. R. Oliveira, J. G. R. C. Gomes. "Asynchronous time-based imager with DVS sharing," Analog Integrated Circuits and Signal Processing, vol. 108, pp. 539-554, 2021. DOI: 10.1007/s10470-021-01893-0
- [6] V. R. R. Oliveira, M. M. D. O. Carneiro, F. D. V. R. Oliveira, F. A. P. Baruqui, J. G. R. C. Gomes, "Layout Design of an Asynchronous Time-Based Image Sensor with Shared DVS Module," 2024 37th SBC/SBMicro/IEEE Symposium on Integrated Circuits and Systems

Design (SBCCI), Joao Pessoa, Brasil, 2024, pp. 1-5, DOI: 10.1109/SBCCI62366.2024.10704003.

[7] [https://www.umc.com/en/Product/technologies/Detail/mature\\_technologies](https://www.umc.com/en/Product/technologies/Detail/mature_technologies), link acessado em 01/06/2026.

[8] <https://europractice-ic.com/services/fabrication/>, link acessado em 01/06/2026.

[9] <https://europractice-ic.com/wp-content/uploads/2021/09/UMC-Tecnology-Options-v4.pdf>, link acessado em 01/06/2026.

[10] F. D. V. R. Oliveira, H. L. Haas, J. G. R. C. Gomes, A. Petraglia, "CMOS Imager With Focal-Plane Analog Image Compression Combining DPCM and VQ," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 5, pp. 1331-1344, maio de 2013, DOI: 10.1109/TCSI.2012.2226505.

[11] <https://www.prophesee-cn.com/> e <https://www.prophesee.ai/>, links acessados em 01/06/2026.

[12] <https://inilabs.com/news/> e <https://inivation.com/>, links acessados em 01/06/2026.

[13] <https://lenzgregor.com/posts/event-cameras-2025-part2/>, link acessado em 01/06/2026.

[14] <https://jpeg.org/jpegxe/index.html> e [https://jpeg.org/items/20231109\\_jpeg\\_xe\\_workshop\\_proceedings.html](https://jpeg.org/items/20231109_jpeg_xe_workshop_proceedings.html), links acessados em 01/06/2026.

[15] <https://ncg.ucsc.edu/>, link acessado em 01/06/2026.

[16] [https://github.com/uzh-rpg/event-based\\_vision\\_resources](https://github.com/uzh-rpg/event-based_vision_resources), link acessado em 01/06/2026.

[17] C. R. Schechter and J. G. R. C. Gomes, "Enhancing Gesture Recognition Performance Using Optimized Event-Based Data Sample Lengths and Crops," 2024 IEEE 15th Latin America Symposium on Circuits and Systems (LASCAS), Punta del Este, Uruguay, 2024, pp. 1-5, DOI: 10.1109/LASCAS60203.2024.10506133.

[18] B. C. Oradovschi, F. D. V. R. Oliveira, J. G. R. C. Gomes, "Using Spiking Forward Propagation Through Time to Improve Sign-Language Recognition," artigo submetido para o XLIV Brazilian Symposium on Telecommunications and Signal Processing (SBRT 2026).